

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 4 年   1 月 2 8 日  
Date of Application:

願 番 号      特 願 2 0 0 4 - 0 1 9 6 6 7  
Application Number:

[ J P 2 0 0 4 - 0 1 9 6 6 7 ]

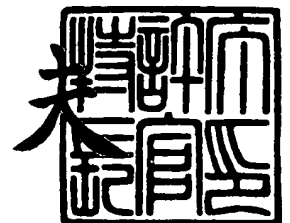
願 人      セイコーインスツルメンツ株式会社  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   2 月 2 0 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 04000020  
【提出日】 平成16年 1月28日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 31/02  
【発明者】  
    【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン  
                                ツ株式会社内  
    【氏名】 町田 聡  
【発明者】  
    【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインスツルメン  
                                ツ株式会社内  
    【氏名】 河原 行人  
【特許出願人】  
    【識別番号】 000002325  
    【氏名又は名称】 セイコーインスツルメンツ株式会社  
    【代表者】 茶山 幸彦  
【代理人】  
    【識別番号】 100096378  
    【弁理士】  
    【氏名又は名称】 坂上 正明  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 48592  
    【出願日】 平成15年 2月26日  
    【整理番号】 03000121  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 49572  
    【出願日】 平成15年 2月26日  
    【整理番号】 03000140  
【手数料の表示】  
    【予納台帳番号】 008246  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 0103799

**【書類名】 特許請求の範囲****【請求項 1】**

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたりセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された増幅手段と、  
前記増幅手段の出力に接続された保持手段と、  
前記保持手段から信号を読み出す信号読み出し手段とを有し、  
前記保持手段は前記リセット手段が前記光電変換手段をリセットすることにより生じる基準信号を保持することを特徴とする光電変換装置。

**【請求項 2】**

前記信号読み出し手段が前記基準信号を読み出し、続いて前記光信号を読み出すことを特徴とする請求項 1 記載の光電変換装置。

**【請求項 3】**

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたりセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された増幅手段と、  
前記増幅手段の出力に接続された電荷転送手段と、  
前記電荷転送手段のもう一方の端子に接続された容量と、  
前記電荷転送手段と前記容量にゲートが接続されたソースフォロワアンプと、  
前記ソースフォロワアンプのソースに接続されたチャンネル選択手段と、  
前記チャンネル選択手段の出力が接続された共通信号線と、  
を有する光電変換装置において、  
前記容量は前記リセット手段が前記光電変換手段をリセットすることにより生じる基準信号を保持し、前記チャンネル選択手段がオンしたときに、先ず前記容量から基準信号を前記共通信号線に読み出し、次に前記電荷転送手段をオンして光信号を前記共通信号線に読み出すことを特徴とする光電変換装置。

**【請求項 4】**

前記基準信号と前記光信号を前記共通信号線に読み出した後に、前記チャンネル選択手段をオフし、前記リセット手段で光電変換手段をリセットして、発生した基準信号を前記電荷転送手段がオンすることにより前記容量に読み出すことを特徴とする請求項 3 記載の光電変換装置。

**【請求項 5】**

前記共通信号線に第 1 の電流源が接続され、前記ソースフォロアアンプのソースに第 2 の電流源が接続されたことを特徴とする請求項 3 記載の光電変換装置。

**【請求項 6】**

前記チャンネル選択手段がオンしているとき前記第 1 の電流源がオンして電流が流れ、前記電荷転送手段がオンし前記基準信号を前記容量に読み出すときに、前記第 2 の電流源がオンして電流が流れることを特徴とする請求項 5 記載の光電変換装置。

**【請求項 7】**

前記第 2 の電流源に流れる電流は、前記第 1 の電流源に流れる電流とほぼ同じであることを特徴とする請求項 5 記載の光電変換装置。

**【請求項 8】**

前記第 1 及び第 2 の電流源は MOS トランジスタであり、前記 MOS トランジスタのドレインが前記ソースフォロアアンプのソースに接続されており、前記第 1 及び第 2 の電流源のオン、オフ制御は前記 MOS トランジスタのゲート電圧を変えることを行うことを特徴とする請求項 5 記載の光電変換装置。

**【請求項 9】**

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたりセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された第 1 の増幅手段と、

前記第1の増幅手段の出力に接続された第1の保持手段と、  
前記第1の保持手段に接続された第2の保持手段と、  
前記第2の保持手段に接続された第3の保持手段と、  
前記第3の保持手段に接続された信号読み出し手段と、  
を有する光電変換装置において、

前記第3の保持手段は前記リセット手段が前記光電変換手段をリセットすることにより生じる基準信号を保持し、前記第1の保持手段と前記第2の保持手段は前記基準信号と前記光信号を順に保持することを特徴とする光電変換装置。

【請求項10】

前記信号読み出し手段が前記基準信号を読み出し、続いて前記光信号を読み出すことを特徴とする請求項9記載の光電変換装置。

【請求項11】

前記信号読み出し手段に接続された共通信号線に第1の電流源が接続され、前記信号読み出し手段を構成するソースフォロアアンプのソースに第2の電流源が接続されたことを特徴とする請求項9記載の光電変換装置。

【請求項12】

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたリセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された第1の増幅手段と、  
前記第1の増幅手段の出力に接続された第1の電荷転送手段と、  
前記第1の電荷転送手段のもう一方の端子に接続された第1の容量と、  
前記第1の電荷転送手段と第1の容量に接続された第2の増幅手段と、  
前記第2の増幅手段の出力に接続された第2の電荷転送手段と、  
前記第2の電荷転送手段のもう一方の端子に接続された第2の容量と、  
前記第2の電荷転送手段と第2の容量に接続された第3の増幅手段と、  
前記第3の増幅手段の出力に接続された第3の電荷転送手段と、  
前記第3の電荷転送手段のもう一方の端子に接続された第3の容量と、  
前記第3の電荷転送手段と前記第3の容量にゲートが接続されたソースフォロワアンプと、  
前記ソースフォロワアンプのソースに接続されたチャンネル選択手段と、  
前記チャンネル選択手段の出力に接続された共通信号線と、  
を有することを特徴とする光電変換装置。

【請求項13】

前記チャンネル選択手段がオンしたときに、先ず基準信号を前記第3の容量から前記共通信号線に読み出し、次に前記第3の電荷転送手段をオンして、光信号を前記第2の容量から前記共通信号線に読み出すことを特徴とする請求項12記載の光電変換装置。

【請求項14】

前記基準信号と前記光信号を前記共通信号線に読み出した後に、前記チャンネル選択手段をオフし、前記第1の容量に保持された基準信号を前記第3の容量に読み出すことを特徴とする請求項12記載の光電変換装置。

【請求項15】

前記共通信号線に第1の電流源が接続され、前記ソースフォロアアンプのソースに第2の電流源が接続されたことを特徴とする請求項12記載の光電変換装置。

【請求項16】

前記チャンネル選択手段がオンしているとき前記第1の電流源がオンして電流が流れ、前記第3の電荷転送手段がオンして前記基準信号を前記第3の容量に読み出すときに、前記第2の電流源がオンして電流が流れることを特徴とする請求項15記載の光電変換装置。

【請求項17】

前記第2の電流源に流れる電流は、前記第1の電流源に流れる電流とほぼ同じであるこ

とを特徴とする請求項 15 記載の光電変換装置。

【請求項 18】

前記第 1 及び第 2 の電流源は MOS トランジスタであり、前記 MOS トランジスタのドレインが前記ソースフォロアアンプのソースに接続されており、前記第 1 及び第 2 の電流源のオン、オフ制御は前記 MOS トランジスタのゲート電圧を変えることで行うことを特徴とする請求項 15 記載の光電変換装置。

【請求項 19】

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたリセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された増幅手段と、  
前記増幅手段の出力に接続された保持手段と、  
前記増幅手段と前記保持手段の出力に接続された信号読み出し手段と、  
を有する光電変換装置の駆動方法において、

前記リセット手段が前記光電変換手段をリセットし、そのときに発生した基準信号を前記増幅手段から読み出し前記保持手段に保持し、前記光電変換手段において前記リセット解除後から一定期間に入射した光に応じて発生した光信号を蓄積した後、前記信号読み出し手段が前記保持手段から前記基準信号を読み出し、続いて前記光電変換手段から前記光信号を読み出すことを特徴とする光電変換装置の駆動方法。

【請求項 20】

入射した光に応じて光信号を発生する光電変換手段と、  
前記光電変換手段の出力に接続されたリセット手段と、  
前記光電変換手段と前記リセット手段の出力に接続された第 1 の増幅手段と、  
前記第 1 の増幅手段の出力に接続された第 1 の保持手段と、  
前記第 1 の保持手段に接続された第 2 の保持手段と、  
前記第 2 の保持手段に接続された第 3 の保持手段と、  
前記第 3 の保持手段に接続された信号読み出し手段と、  
を有する光電変換装置の駆動方法において、

前記リセット手段が前記光電変換手段をリセットし、そのときに発生した基準信号を前記増幅手段から読み出し前記第 3 の保持手段に保持し、前記光電変換手段において前記リセット解除後から一定期間に入射した光に応じて発生した光信号を前記増幅手段から読み出し前記第 2 の保持手段に保持した後、前記信号読み出し手段が前記第 3 の保持手段から前記基準信号を読み出し、続いて前記第 2 の保持手段から前記光信号を読み出すことを特徴とする光電変換装置の駆動方法。

【請求項 21】

前記リセット手段が前記光電変換手段をリセットし、そのときに発生した基準信号を前記第 1 の増幅手段から読み出し前記第 1 の保持手段に保持しておき、前記信号読み出し手段が基準信号と光信号を読み出した後に、前記基準信号を前記第 1 の保持手段から前記第 3 の保持手段に読み出すことを特徴とする請求項 20 記載の光電変換装置の駆動方法。

**【書類名】 明細書****【発明の名称】 光電変換装置及び駆動方法****【技術分野】****【0001】**

本発明は、光照射された原稿からの反射光を受けて電気信号に変換する光電変換装置に関し、特にファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサに関する。

**【背景技術】****【0002】**

従来の画像読み取り装置に用いられているイメージセンサICの手段図を図16にタイミングチャートを図17に示す（例えば、特許文献1参照。）。

**【0003】**

フォトダイオード101のN型領域が正電源電圧端子VDDに接続しており、P型領域がリセットスイッチ102のドレインとソースフォロアアンプ103のゲートに接続している。リセットスイッチ102のソースには基準電圧VREF1が与えられている。ソースフォロアアンプ103の出力端子であるソースは、読み出しスイッチ105と定電流源104につながっている。定電流源104のゲートは基準電圧VREFAの定電圧が与えられている。図16に示す光電変換ブロックAnはnビット目の光電変換ブロックを示している。光電変換ブロックは、画素数分設けられており各光電変換ブロックの読み出しスイッチ105を介して共通信号線106に接続されている。

**【0004】**

共通信号線106は、抵抗110を通じてオペアンプ109の反転端子に入力しており、オペアンプ109の出力端子がチップセレクトスイッチ112と容量113を介して出力端子116につながっている。共通信号線106は、信号線リセットスイッチ107に接続し、信号線リセットスイッチ107のソースには基準電圧VREF2が与えられている。オペアンプ109の出力端子と反転端子の間には抵抗111が接続されていて、オペアンプ109の非反転端子は一定電圧VREF3に固定されている。オペアンプ109、抵抗110、抵抗111で反転増幅器Dが形成されている。

**【0005】**

イメージセンサの出力端子116は、MOSトランジスタ114のドレインに接続し、MOSトランジスタ114のソースには基準電圧VREF4が与えられている。また、イメージセンサの出力端子116には、寄生容量などの容量115も接続されている。容量113、容量115、MOSトランジスタ114でクランプ回路Cが構成されている。

**【特許文献1】** 特開平11-239245号公報（第2-5頁、第1図）

**【発明の開示】****【発明が解決しようとする課題】****【0006】**

しかし、このようなイメージセンサにおいては、光電荷蓄積後、光信号を読み出してから、フォトダイオードをリセットし、その後基準信号を読み出し、光信号と基準信号の差をとるので、基準信号と光信号に乗っているリセットノイズが異なるという問題があった。すなわち、異なった、タイミングのリセットノイズを比較するため、ランダムノイズが大きいという問題があった。

**【課題を解決するための手段】****【0007】**

従来のこのような問題点を解決するために、本発明の光電変換装置は以下のような構成及び駆動方法とした。

**【0008】**

逐次型光電変換装置においては、光電変換手段と、光電変換手段の出力端子に接続されリセット手段と、光電変換手段とリセット手段に接続された増幅手段と、増幅手段の出力に接続された保持手段である電荷転送手段と容量と、保持手段の出力を受けて信号を出

力する信号読み出し手段であるソースフォロアアンプとチャンネル選択手段と、信号読み出し手段が接続されている共通信号線とを有し、保持手段はリセット手段が光電変換手段をリセットすることにより生じる基準信号を保持する光電変換装置とした。

【0009】

そして、チャンネル選択手段がオンして基準信号を共通信号線に出力し、次に電荷転送手段がオンして光信号を共通信号線に読み出すこととした。

【0010】

更に、前記共通信号線に第1の電流源が接続され、ソースフォロアアンプのソースに第2の電流源が接続され、チャンネル選択手段がオンしているときに第1の電流源がオンして電流が流れ、電荷転送手段がオンし基準信号を容量に読み出すときに前記第2の電流源がオンして電流が流れるようにした。このとき、第2の電流源に流れる電流は、第1の電流源に流れる電流とほぼ同じになるように設計した。

【0011】

また更に一括型光電変換装置においては、光電変換手段と、光電変換手段の出力に接続されたリセット手段と、光電変換手段とリセット手段の出力に接続された第1の増幅手段と、第1の増幅手段の出力に接続された第1の保持手段である第1の電荷転送手段と第1の容量と、第1の保持手段に接続された第2の増幅手段と、第2の増幅手段に接続された第2の保持手段である第2の電荷転送手段と第2の容量と、第2の保持手段に接続された第3の増幅手段と、第3の増幅手段に接続された第3の保持手段である第3の電荷転送手段と第3の容量と、第3の保持手段に接続された信号読み出し手段であるソースフォロアアンプとチャンネル選択手段とを有し、第3の容量はリセット手段が光電変換手段をリセットすることにより生じる基準信号を保持し、第1の容量と第2の容量は基準信号と光信号を順に保持する光電変換装置とした。

【0012】

そして、チャンネル選択手段がオンしたときに、先ず基準信号を第3の容量から共通信号線に読み出し、次に第3の電荷転送手段をオンして、光信号を第2の容量から共通信号線に読み出し、基準信号と光信号を共通信号線に読み出した後に、チャンネル選択手段をオフし、第1の容量に保持された基準信号を第3の容量に読み出すこととした。

【0013】

更に、共通信号線に第1の電流源が接続され、ソースフォロアアンプのソースに第2の電流源が接続され、チャンネル選択手段がオンしているときに第1の電流源がオンして電流が流れ、電荷転送手段がオンし基準信号を第3の容量に読み出すときに前記第2の電流源がオンして電流が流れるようにした。このとき、第2の電流源に流れる電流は、第1の電流源に流れる電流とほぼ同じになるように設計した。

【発明の効果】

【0014】

本発明の光電変換装置及び駆動方法によれば、リセットスイッチの同じオフノイズが乗った基準信号と光信号とを順に読み出すことが出来るので、相関2重サンプリング等の方法でこの電圧の差をとれば、固定パターンノイズとランダムノイズの小さい光電変換装置を得ることができる。

【0015】

従って、簡単な構成で暗出力のばらつきが小さいイメージセンサICの供給が可能となり、更にこのイメージセンサICを複数個直線状に実装した、高精度な密着型イメージセンサを提供することが出来る。

【発明を実施するための最良の形態】

【0016】

【実施例1】

【0017】

図1は、本発明の第1の実施例に係る逐次型光電変換装置の概略回路図である。逐次型

光電変換装置とは、イメージセンサの各フォトダイオード出力の電荷リセットと光電荷蓄積をタイミングをずらしながら平行に行う光電変換装置を言う。

【0018】

光電変換ブロック  $A_n$  は  $n$  ビット目の光電変換ブロックを示している。光電変換ブロックは、画素数分設けられており各光電変換ブロックのチャンネル選択スイッチ 7 を介して共通信号線 11 に接続されている。図 7 に光電変換装置の全体構成図を示す。

【0019】

本実施例の回路は、光電変換手段となるフォトダイオード 1、リセット手段となるリセットスイッチ 2、増幅手段 3、電荷転送手段となる転送スイッチ 4、容量 5、MOS ソースフォロアを形成する MOS トランジスタ 6、チャンネル選択手段となるチャンネル選択スイッチ 7、共通信号線 11、第 1 の電流源 8 からなる。

【0020】

増幅手段 3 は MOS ソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子 10 を設けても良い。また、MOS トランジスタ 6 のゲートとソース間には寄生容量 9 が存在する。

【0021】

図 2 は、本発明の第 1 の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【0022】

$\phi R(n)$  によりリセットスイッチ 2 がオンすると、フォトダイオード 1 の出力端子  $V_{di}$  は基準電圧  $V_{reset}$  に固定され、リセットスイッチ 2 がオフすると、 $V_{di}$  の電圧は  $V_{reset}$  にオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ 3 の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ 3 の出力電圧の差をとればよい。

【0023】

そこで図 2 のように、 $\phi R(n)$  によりリセットスイッチ 2 がオフした後、 $\phi T1(n)$  により転送スイッチ 4 をオンして、 $T_R$  の期間で基準信号を容量 5 に読み出す。基準信号は、1 周期の間、容量 5 に保持される。この間にフォトダイオード 1 には、光電荷が蓄積し、 $V_{di}$  の電位は光電荷の量に応じて変動している。次の周期の  $\phi SCH(n)$  によりチャンネル選択スイッチ 7 をオンすると、 $REF$  の期間に、容量 5 に保持された基準信号が共通信号線 11 に読み出される。次に、 $\phi T1(n)$  をオンし、 $T_S$  の期間でフォトダイオードに蓄積した電荷に応じた光信号を容量 5 に読み出すと、この光信号が共通信号線 11 に読み出される。 $\phi T1(n)$  をオンすると、容量 5 に光信号が蓄積されるが、 $\phi T1(n)$  をオンしている期間  $T_S$  の間に、 $V_1$  の電位がセッティングするように増幅手段 3 のドライバビリティを設定すれば、 $\phi SCH(n)$  の期間を短くでき、高速の読み出しが可能である。

【0024】

以上の動作により、 $\phi SCH(n)$  の  $REF$  の期間と  $SIG$  の期間の共通信号線 11 の出力電圧  $V_{OUT}$  の差を取れば、固定パターンノイズとリセットスイッチ 2 によるランダムノイズを除去できる。

【0025】

そして、 $\phi T1(n)$  をオフしてから、 $\phi SCH(n)$  をオフし、 $\phi R(n)$  をオンして、次のフォトダイオードのリセットを行い、再び  $\phi T1(n)$  をオンして、 $T_R$  の期間で基準信号を容量 5 に読み出す。

【0026】

$\phi SCH(n)$  がオフしてから、次のビットのチャンネル選択スイッチ 7 が  $\phi SCH(n+1)$  によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$  ビット目の他のパルスは、 $n$  ビット目のパルスよりも、全て  $\phi SCH$  のオン期間だけ後ろにずれる。各受光素子の蓄積期間は  $\phi R(n)$  がオフしてから、次の周期の  $\phi T1(n)$  の  $T_S$  の期間の終了までであるが、この期間もビットによってずれることになる。



## 【0027】

読み出した基準信号と光信号は、相関2重サンプリング回路等により差をとる。これは、例えば、従来例の図16のブロックCの回路で可能である。

## 【実施例2】

## 【0028】

図3は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図である。図1との違いは、MOSトランジスタ6のソースに、第2の電流源51が接続されている点である。この第2の電流源はイネーブル信号 $\phi_{RR}$ によってオン・オフし、オン状態では第1の電流源8と同程度の電流が流れるように設計されている。

## 【0029】

図5は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

## 【0030】

$\phi_{R(n)}$ によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフすると、Vdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐので、ランダムノイズとなる。したがって、ランダムノイズを防ぐためには、リセットした後のアンプ3の出力電圧と、その後、フォトダイオードが光電荷を蓄積した後のアンプ3の出力電圧の差をとればよい。

## 【0031】

そこで、図5のように、 $\phi_{R(n)}$ によりリセットスイッチ2がオフした後、 $\phi_{T1(n)}$ により転送スイッチ4をオンして、TRの期間で基準信号を容量5に読み出す。このとき、イネーブル信号 $\phi_{RR(n)}$ により第2の電流源51をオン状態にする。基準信号は、1周期の間、容量5に保持される。この間にフォトダイオード1には、光電荷が蓄積し、Vdiの電位は光電荷の量に応じて変動している。次の周期の $\phi_{SCH(n)}$ によりチャンネル選択スイッチ7をオンすると、REFの期間に、容量5に保持された基準信号が共通信号線11に読み出される。次に、 $\phi_{T1(n)}$ をオンし、光信号を容量5に読み出すと、この光信号が共通信号線11に読み出される。

## 【0032】

このとき、第1の電流源8はオン状態にし、第2の電流源51はオフ状態にする。第1の電流源8と第2の電流源51は同程度のオン電流が流れるように設計されているので、R1の期間で基準信号を容量23に読み出すときと、S1の期間で光信号を容量23に読み出すときのMOSトランジスタ6のソース電位を同程度にすることが出来る。従って、容量5に蓄える電荷への寄生容量9の影響を小さくすることが出来て、結果として暗出力電圧のオフセットを小さく出来る。

## 【0033】

以上の動作により、 $\phi_{SCH(n)}$ のREFの期間とSIGの期間の共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。次に、 $\phi_{T1(n)}$ をオフしてから、 $\phi_{SCH(n)}$ をオフし、 $\phi_{R(n)}$ をオンして、次のフォトダイオードのリセットを行い、再び $\phi_{T1(n)}$ をオンして、TRの期間で基準信号を容量5に読み出す。

## 【0034】

$\phi_{SCH(n)}$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi_{SCH(n+1)}$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の他のパルスは、 $n$ ビット目のパルスよりも、全て $\phi_{SCH}$ のオン期間だけ後ろにずれる。

## 【0035】

基準信号と光信号は、相関2重サンプリング回路等により差をとる。これは、例えば、従来例の図16のブロックCの回路で可能である。

## 【0036】

図4は、本発明の第2の実施例に係る逐次型光電変換装置の回路図である。図3のリセ

ットスイッチ2はMOSスイッチ35、増幅手段3はMOSソースフォロア30と電流源31、転送スイッチ4は、トランスマッションゲート32とダミースイッチ33、第2の電流源51はMOS電流源34、チャンネル選択スイッチ7はMOSスイッチ36、第1の電流源8はMOS電流源37で置き換えている。なお、MOS電流源34を取り除けば、第1の実施例に係る逐次型光電変換装置の回路図となる。

#### 【0037】

図6は、本発明の第2の実施例に係る逐次型光電変換装置の回路図に対応したタイミングチャートである。図5との違いは、 $\phi$ SELが $\phi$ I1に変わった点である。また、 $\phi$ T1Xは図6に示さないが $\phi$ T1の反転である。

#### 【0038】

図4の回路では、アンプ30のオン・オフを電流源31のゲート電圧でコントロールする。すなわち、 $\phi$ I1が電源電圧のとき電流は流れずアンプ30はオフ状態であり、 $\phi$ I1が電源電圧よりも低い適当な電圧のとき電流が流れアンプ30はオン状態である。

#### 【0039】

図2の回路ではMOSソースフォロア30の基板電位とソース電位を共通としているので、ゲインをほぼ1にできる。

#### 【0040】

また、基準信号REFを読み出すときは $\phi$ T1のオフノイズが乗った状態のV1の電位を読み出すが、光信号SIGを読み出すときは $\phi$ T1のオフノイズが乗っていない状態のV1の電位を読み出している。このため、 $\phi$ T1のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスマッションゲート32とし、ダミースイッチ33を設けている。トランスマッションゲートのNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ33のNMOSとPMOSのトランジスタサイズは、トランスマッションゲートのトランジスタサイズのゲート面積の半分にする。

#### 【0041】

$\phi$ RRはGND電位のとき、MOS電流源34はオフ状態で、適当な電位のとき、MOS電流源34はオン状態となる。オン状態の $\phi$ RRの電位は、MOS電流源34の電流がMOS電流源37の電流と同程度になるように設計する。簡単のために、MOS電流源34のサイズを適当に定め、オン状態の $\phi$ RRの電位を電源電圧とすることもできる。以上は、MOSトランジスタ6とMOS電流源34とMOS電流源37が共にNMOSの場合であるが、共にPMOSであっても同様にできる。

#### 【実施例3】

#### 【0042】

図8は、本発明の第3の実施例に係る一括型光電変換装置の概略回路図である。一括型光電変換装置とは、イメージセンサの各フォトダイオード出力の電荷リセットと光電荷蓄積を同時タイミングで平行に行う光電変換装置を言う。光電変換ブロックAnはnビット目の光電変換ブロックを示している。画素数分設けられた光電変換ブロックは、各光電変換ブロックのチャンネル選択スイッチ7を介して共通信号線11に接続されている。図7に光電変換装置の全体構成図を示す。

#### 【0043】

本実施例の回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ18、19、20、リセット手段となるリセットスイッチ2、増幅手段15、16、17、容量21、22、23、MOSソースフォロアを形成するMOSトランジスタ6、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。増幅手段15、16、17はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子12、13、14を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

#### 【0044】

図10は、本発明の第3の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。 $\phi$ R、 $\phi$ T1、 $\phi$ SEL1は全ビットについて同時に動作する。 $\phi$ T2

の光信号を転送する期間  $S_1$  と  $\phi$ SEL2の光信号を転送する期間も全ビットについて同時に動作する。 $\phi$ T2の基準信号を転送する期間  $R_1$  と  $\phi$ SEL2の基準信号を転送する期間とその他のパルスは、ビットによって動作するタイミングが異なるので、(n)付で表示している。

【0045】

まず、nビット目の光電変換ブロックで基準信号を転送する動作について説明する。

【0046】

$\phi$ Rのパルス  $R_1$  によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフするとVdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐのでランダムノイズとなる。ランダムノイズの影響を除く為には、リセットした後の第1のンプ15の出力電圧と、その後にフォトダイオードが光電荷を蓄積した時の第1のンプ15の出力電圧の差をとればよい。

【0047】

そこで図10のように、リセットスイッチ2がオフした後に、 $\phi$ T1のパルス  $R_1$  により第1の転送スイッチ18をオンして、基準信号を第1の容量21に読み出し保持する。この後フォトダイオード1には、光電荷が蓄積しVdiの電位は光電荷の量に応じて変動する。この光電荷が蓄積する期間は、 $\phi$ Rのパルス  $R_1$  の終了から $\phi$ T1のパルス  $S_1$  の終了までのTS1となり、全てのビットについて同じ期間になる。

【0048】

次に、 $\phi$ T2(n)のパルス  $R_1$  により第2の転送スイッチ19をオンして、基準信号を第2の容量22に読み出し、 $\phi$ T3(n)のパルス  $R_1$  により第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。基準信号は、1周期の間、容量23に保持される。

【0049】

次に、nビット目の光電変換ブロックで光信号を転送する動作について説明する。

【0050】

蓄積期間TS1の最後で、 $\phi$ T1のパルス  $S_1$  により第1の転送スイッチ18をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第1の容量21に読み出す。次に、 $\phi$ T2(n)のパルス  $S_1$  により第2の転送スイッチ19をオンして、光信号を第2の容量22に読み出す。これは全てのビットで同時に行われる。

【0051】

次に、nビット目の光電変換ブロックから基準信号と光信号を読み出しする動作について説明する。

【0052】

TS2の蓄積期間中に、 $\phi$ SCH(n)のパルスによりチャンネル選択スイッチ7を開くと、第3の容量23に保持されていた基準信号が共通信号線11に読み出される。この期間は $\phi$ SCH(n)の  $R_1$  の部分である。この基準信号は、 $\phi$ Rのパルス  $R_1$  により発生した基準信号である。次に、 $\phi$ T3(n)をオンし  $S_1$  の期間で光信号を容量23に読み出すと、この光信号が共通信号線11に読み出される。

【0053】

$\phi$ T3(n)をオンすると光信号が容量23に読み出されるが、 $\phi$ T3(n)をオンしている期間  $S_1$  の間に、V1の電位がセトリングするように増幅手段17のドライバビリティーを設定すれば、 $\phi$ SCH(n)の期間を短くでき、高速の読み出しが可能である。

【0054】

以上の動作により、 $\phi$ SCH(n)の  $R_1$  と  $S_1$  の期間における共通信号線11の出力電圧VOUTの差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去することが可能である。これは、両方に同じリセットパルス  $\phi$ Rのオフノイズがのっており、両方の電圧の出力経路が同じであるからである。

【0055】

更に、 $\phi T3(n)$ をオフしてから $\phi SCH(n)$ をオフし、 $\phi T2(n)$ のパルスR 2により第2の転送スイッチ19をオンして、 $\phi R$ のパルスR 2が終了した後の基準信号を第2の容量22に読み出し、 $\phi T3(n)$ のパルスR 2により第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。

#### 【0056】

一方、 $\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の $\phi T2$ の基準信号を読み出すパルスや $\phi T3$ のパルスは、 $n$ ビット目のパルスよりも全て $\phi SCH$ のオン期間だけ後ろにずれる。

#### 【0057】

読み出した基準信号と光信号は、相関2重サンプリング回路等により差をとる。これは、例えば従来例の図16のブロックCの回路で可能である。

#### 【0058】

図8及び図10の実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

#### 【0059】

図9は、本発明の第3の実施例に係る一括型光電変換装置の回路図である。図8のリセットスイッチ2はMOSスイッチ35、増幅手段15、16、17はMOSソースフォロア38、40、42と電流源39、41、43、転送スイッチ18、19は、MOSスイッチ44、45、転送スイッチ20はトランスマッションゲート32とダミースイッチ33、チャンネル選択スイッチ7はMOSスイッチ36、第1の電流源8はMOS電流源37で置き換えている。

#### 【0060】

図11は、本発明の第3の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。図10との違いは、 $\phi SEL1$ 、 $\phi SEL2$ 、 $\phi SEL3$ 、がそれぞれ $\phi I1$ 、 $\phi I2$ 、 $\phi I3$ 、に変わった点である。また、 $\phi T3X$ は図11に示さないが $\phi T3$ の反転である。

#### 【0061】

図9の回路では、アンプ38、40、42のオン・オフを、それぞれ電流源39、41、43のゲート電圧でコントロールする。MOSソースフォロア38と42の基板電位とソース電位を共通としているので、ゲインをほぼ1にできる。

#### 【0062】

また、基準信号R1を読み出すときは $\phi T3$ のオフノイズが乗った状態のV1の電位を読み出すが、光信号S1を読み出すときは $\phi T3$ のオフノイズが乗っていない状態のV1の電位を読み出している。このため、 $\phi T3$ のオフノイズ分が、暗出力オフセットとなってしまふ。これを小さくするために、転送スイッチをトランスマッションゲート32とし、ダミースイッチ33を設けている。トランスマッションゲートのNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ33のNMOSとPMOSのトランジスタサイズは、トランスマッションゲートのトランジスタサイズのゲート面積の半分にする。

#### 【0063】

消費電流の観点では、 $\phi T3$ のパルスS1を短くして高速読み出しする必要があるが、そのためには、増幅手段14や電流源43の電流を大きくする必要がある。図10や図11の駆動方法では、 $\phi T3$ のパルスS1はビットによってずれるので、消費電流を分散させることができる。このことは、図10の $\phi SEL3$ や図11の $\phi I3$ がビットごとにずれていることで示されている。一方、 $\phi T1$ と $\phi T2$ は全ビットで同時にオンする必要があるが、オンの期間を長くすることで、増幅手段15、16や電流源39、41の電流を低く抑えることができる。すなわち、図10や図11に示される $\phi T1$ と $\phi T2$ のオン期間を、 $\phi SCH$ や $\phi T3$

のオン期間よりも長くすれば良い。図10や図11では、 $\phi T2$ のR2の期間が $\phi SCH$ のオン期間と同じに示されているが、 $\phi T2$ のR2の期間を $\phi SCH$ のオン期間よりも長くしてもさしつかえない。

#### 【0064】

また、 $\phi T2$ 、 $\phi T3$ 、 $\phi SCH$ 等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから作ることができる。

#### 【実施例4】

#### 【0065】

図12は、本発明の第4の実施例に係る一括型光電変換装置の概略回路図である。光電変換ブロックAnはnビット目の光電変換ブロックを示している。画素数分設けられた光電変換ブロックは、各光電変換ブロックのチャンネル選択スイッチ7を介して共通信号線11に接続されている。図7に光電変換装置の全体構成図を示す。

#### 【0066】

本実施例の回路は、光電変換手段となるフォトダイオード1、電荷転送手段となる転送スイッチ18、19、20、リセット手段となるリセットスイッチ2、増幅手段15、16、17、容量21、22、23、MOSソースフォロアを形成するMOSトランジスタ6、MOSトランジスタ6のソースに接続された第2の電流源、チャンネル選択手段となるチャンネル選択スイッチ7、共通信号線11、第1の電流源8からなる。増幅手段15、16、17はMOSソースフォロアやボルテージフォロアアンプ等で形成し、動作状態を選択するアンプイネーブル端子12、13、14を設けても良い。また、MOSトランジスタ6のゲートとソース間には寄生容量9が存在する。

#### 【0067】

第2の電流源はイネーブル信号 $\phi RR$ によってオン・オフし、オン状態では第1の電流源8と同程度の電流が流れるように設計されている。

#### 【0068】

図14は、本発明の第4の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。 $\phi R$ 、 $\phi T1$ 、 $\phi SEL1$ は全ビットについて同時に動作する。 $\phi T2$ の光信号を転送する期間S1と $\phi SEL2$ の光信号を転送する期間も全ビットについて同時に動作する。 $\phi T2$ の基準信号を転送する期間R1と $\phi SEL2$ の基準信号を転送する期間とその他のパルスは、ビットによって動作するタイミングが異なるので、(n)付で表示している。

#### 【0069】

まず、nビット目の光電変換ブロックで基準信号を転送する動作について説明する。

#### 【0070】

$\phi R$ のパルスR1によりリセットスイッチ2がオンすると、フォトダイオード1の出力端子Vdiは基準電圧Vresetに固定され、リセットスイッチ2がオフするとVdiの電圧はVresetにオフノイズが加算された値になる。このオフノイズは、リセットする度に電位がゆらぐのでランダムノイズとなる。ランダムノイズの影響を除く為には、リセットした後の第1のアンプ15の出力電圧と、その後にフォトダイオードが光電荷を蓄積した時の第1のアンプ15の出力電圧の差をとればよい。

#### 【0071】

そこで図14のように、リセットスイッチ2がオフした後に、 $\phi T1$ のパルスR1により第1の転送スイッチ18をオンして、基準信号を第1の容量21に読み出し保持する。この後フォトダイオード1には、光電荷が蓄積しVdiの電位は光電荷の量に応じて変動する。この光電荷が蓄積する期間は、 $\phi R$ のパルスR1の終了から $\phi T1$ のパルスS1の終了までのTS1となり、全てのビットについて同じ期間になる。

#### 【0072】

次に、 $\phi T2(n)$ のパルスR1により第2の転送スイッチ19をオンして、基準信号を第2の容量22に読み出す。次に、 $\phi T3(n)$ のパルスR1により第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。このとき、イネーブル信号 $\phi RR(n)$ に

より第2の電流源51をオン状態にする。基準信号は、1周期の間、容量23に保持される。

【0073】

次に、 $n$ ビット目の光電変換ブロックで光信号を転送する動作について説明する。

【0074】

蓄積期間TS1の最後で、 $\phi T1$ のパルスS1により第1の転送スイッチ18をオンして、フォトダイオードに蓄積した電荷に応じた光信号を第1の容量21に読み出す。次に、 $\phi T2(n)$ のパルスS1により第2の転送スイッチ19をオンして、光信号を第2の容量22に読み出す。これは全てのビットで同時に行われる。

【0075】

次に、 $n$ ビット目の光電変換ブロックから基準信号と光信号を読み出しする動作について説明する。

【0076】

TS2の蓄積期間中に、 $\phi SCH(n)$ のパルスによりチャンネル選択スイッチ7を開くと、第3の容量23に保持されていた基準信号が共通信号線11に読み出される。この期間は $\phi SCH(n)$ のR1の部分である。この基準信号は、 $\phi R$ のパルスR1により発生した基準信号である。次に、 $\phi T3(n)$ をオンしS1の期間で光信号を容量23に読み出すと、この光信号が共通信号線11に読み出される。

【0077】

このとき、第1の電流源8はオン状態にし、第2の電流源51はオフ状態にする。第1の電流源8と第2の電流源51は同程度のオン電流が流れるように設計されているので、R1の期間で基準信号を容量23に読み出すときと、S1の期間で光信号を容量23に読み出すときのMOSトランジスタ6のソース電位を同程度にすることが出来る。従って、容量23に蓄える電荷への寄生容量9の影響を小さくすることが出来て、結果として暗出力電圧のオフセットを小さく出来る。

【0078】

また、 $\phi T3(n)$ をオンすると、光信号が容量23に読み出されるが、 $\phi T3(n)$ をオンしている期間S1の間に、V1の電位がセツトリングするように増幅手段17のドライバビリティを設定すれば、 $\phi SCH(n)$ の期間を短くでき、高速の読み出しが可能である。

【0079】

以上の動作により、 $\phi SCH(n)$ のR1の期間とS1の期間の共通信号線11の出力電圧 $V_{OUT}$ の差を取れば、固定パターンノイズとリセットスイッチ2によるランダムノイズを除去できる。これは、両方に同じリセットパルス $\phi R$ のオフノイズがのっており、両方の電圧の出力経路が同じであるからである。

【0080】

次に、 $\phi T3(n)$ をオフしてから、 $\phi SCH(n)$ をオフし、 $\phi T2(n)$ のR2の位置のパルスにより第2の転送スイッチ19をオンして、リセットパルス $\phi R$ のR2の期間終了後の基準信号を第2の容量22に読み出す。次に、 $\phi T3(n)$ のR2の位置のパルスにより第3の転送スイッチ20をオンして、基準信号を第3の容量23に読み出す。

【0081】

一方、 $\phi SCH(n)$ がオフしてから、次のビットのチャンネル選択スイッチ7が $\phi SCH(n+1)$ によってオンし、次のビットの基準信号の読み出しが始まる。 $n+1$ ビット目の $\phi T2$ の基準信号を読み出すパルス、 $\phi T3$ 、 $\phi RR$ のパルスは、 $n$ ビット目のパルスよりも、全て $\phi SCH$ のオン期間だけ後ろにずれる。

【0082】

基準信号と光信号は、相関2重サンプリング回路等により差をとる。これは、例えば、従来例の図16のブロックCの回路で可能である。

【0083】

図12、図14の実施例では、TS2の期間でフォトダイオードが蓄積動作中に、前の蓄積期間TS1の期間で蓄積した光信号を読み出すことができる。したがって、RGBの

3色のLEDを順に点灯して、カラー画像データを読み取ることができる。たとえば、TS1の期間に赤のLEDを点灯し赤の成分を読み取り、TS2の期間に緑のLEDを点灯し緑の成分を読み取り、TS2の次の期間に青のLEDを点灯し青の成分を読み取ることができる。この場合、TS2の期間内に赤の光信号を読み出すことになる。

#### 【0084】

図13は、本発明の第4の実施例に係る一括型光電変換装置の回路図である。図12のリセットスイッチ2はMOSスイッチ35、増幅手段15、16、17はMOSソースフォロア38、40、42と電流源39、41、43、転送スイッチ18、19は、MOSスイッチ44、45、転送スイッチ20はトランスミッションゲート32とダミースイッチ33、第2の電流源51はMOS電流源34、チャンネル選択スイッチ7はMOSスイッチ36、第1の電流源8はMOS電流源37で置き換えている。

#### 【0085】

図15は、本発明の第4の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。図14との違いは、 $\phi$ SEL1、 $\phi$ SEL2、 $\phi$ SEL3、がそれぞれ $\phi$ I1、 $\phi$ I2、 $\phi$ I3、に変わった点である。また、 $\phi$ T3Xは図15に示さないが $\phi$ T3の反転である。

#### 【0086】

図13の回路では、アンプ38、40、42のオン・オフを、それぞれ電流源39、41、43のゲート電圧でコントロールする。MOSソースフォロア38と42の基板電位とソース電位を共通としているので、ゲインをほぼ1にできる。

#### 【0087】

また、基準信号R1を読み出すときは $\phi$ T3のオフノイズが乗った状態のV1の電位を読み出すが、光信号S1を読み出すときは $\phi$ T3のオフノイズが乗っていない状態のV1の電位を読み出している。このため、 $\phi$ T3のオフノイズ分が、暗出力オフセットとなってしまう。これを小さくするために、転送スイッチをトランスミッションゲート32とし、ダミースイッチ33を設けている。トランスミッションゲートのNMOSとPMOSのトランジスタサイズは同じにし、ダミースイッチ33のNMOSとPMOSのトランジスタサイズは、トランスミッションゲートのトランジスタサイズのゲート面積の半分にする。

#### 【0088】

$\phi$ RRはGND電位するとき、MOS電流源34はオフ状態で、適当な電位するとき、MOS電流源34はオン状態となる。オン状態の $\phi$ RRの電位は、MOS電流源34の電流がMOS電流源37の電流と同程度になるように設計する。簡単のために、MOS電流源34のサイズを適当に定め、オン状態の $\phi$ RRの電位を電源電圧とすることもできる。以上は、MOSトランジスタ6とMOS電流源34とMOS電流源37が共にNMOSの場合であるが、共にPMOSであっても同様にできる。

#### 【0089】

消費電流の観点では、 $\phi$ T3のパルスS1を短くして高速読み出しする必要があるが、そのためには、増幅手段14や電流源43の電流を大きくする必要がある。しかし、図14や図15の駆動方法では、 $\phi$ T3のパルスはビットによってずれるので、消費電流を分散させることができる。このことは、図14の $\phi$ SEL3や図15の $\phi$ I3がビットごとにずれていることで示されている。一方、 $\phi$ T1や $\phi$ T2は全ビット同時にオンする必要があるが、オンの期間を長くすることで、増幅手段15、16または、電流源39、41の電流を低く抑えることができる。すなわち、図14や図15に示される、 $\phi$ T1と $\phi$ T2のオン期間を、 $\phi$ SCHや $\phi$ T3のオン期間よりも長くすれば良い。図14や図15では、 $\phi$ T2のR2の期間が $\phi$ SCHのオン期間と同じに示されているが、 $\phi$ T2のR2の期間を $\phi$ SCHのオン期間よりも長くしてもさしつかえない。

#### 【0090】

また、 $\phi$ T2、 $\phi$ T3、 $\phi$ SCH、 $\phi$ RR等のパルスは、ビットごとにずれるように作る必要があるが、シフトレジスタのパルスから作ることができる。

#### 【0091】

以上の説明で、本発明は上述した各実施例に限定されるものではなく、その要旨を逸脱

しない範囲で種々変形して実施することができる。

#### 【0092】

上記の回路は1つの半導体基盤上に形成し、リニアイメージセンサICとすることが可能である。また、このリニアイメージセンサICを複数個直線状に実装して、密着型イメージセンサを供給することができる。

#### 【産業上の利用可能性】

#### 【0093】

本発明は、ファクシミリやイメージスキャナ等の画像読み取り装置に適用するリニアイメージセンサICと、イメージセンサICを複数実装した密着型イメージセンサに利用することができる。また、エリアイメージセンサICに適用できる。

#### 【図面の簡単な説明】

#### 【0094】

【図1】本発明の第1の実施例に係る逐次型光電変換装置の概略回路図である。

【図2】本発明の第1の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【図3】本発明の第2の実施例に係る逐次型光電変換装置の概略回路図である。

【図4】本発明の第2の実施例に係る逐次型光電変換装置の回路図である。

【図5】図5は、本発明の第2の実施例に係る逐次型光電変換装置の概略回路図に対応したタイミングチャートである。

【図6】本発明の第2の実施例に係る逐次型光電変換装置の回路図に対応したタイミングチャートである。

【図7】本発明に係る光電変換装置の全体構成図である。

【図8】本発明の第3の実施例に係る一括型光電変換装置の概略回路図である。

【図9】本発明の第3の実施例に係る一括型光電変換装置の回路図である。

【図10】本発明の第3の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。

【図11】本発明の第3の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。

【図12】本発明の第4の実施例に係る一括型光電変換装置の概略回路図である。

【図13】本発明の第4の実施例に係る一括型光電変換装置の回路図である。

【図14】本発明の第4の実施例に係る一括型光電変換装置の概略回路図に対応したタイミングチャートである。

【図15】本発明の第4の実施例に係る一括型光電変換装置の回路図に対応したタイミングチャートである。

【図16】従来の画像読み取り装置に用いられているイメージセンサICの回路図である。

【図17】従来の画像読み取り装置に用いられているイメージセンサICのタイミングチャートである。

#### 【符号の説明】

#### 【0095】

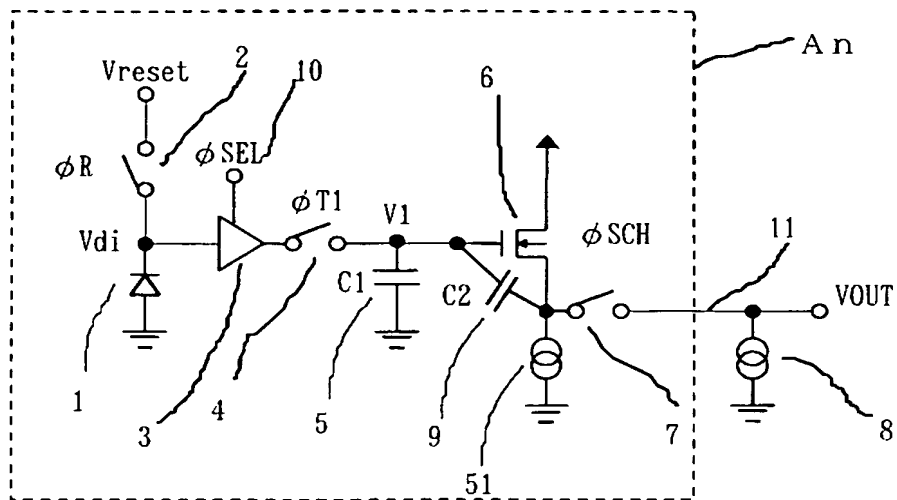
- 1 フォトダイオード
- 2 リセットスイッチ
- 3 アンプ
- 4 転送スイッチ
- 5 容量
- 6 MOSトランジスタ
- 7 チャンネル選択スイッチ
- 8 第1の電流源
- 9 寄生容量
- 10, 12, 13, 14 アンプイネーブル端子



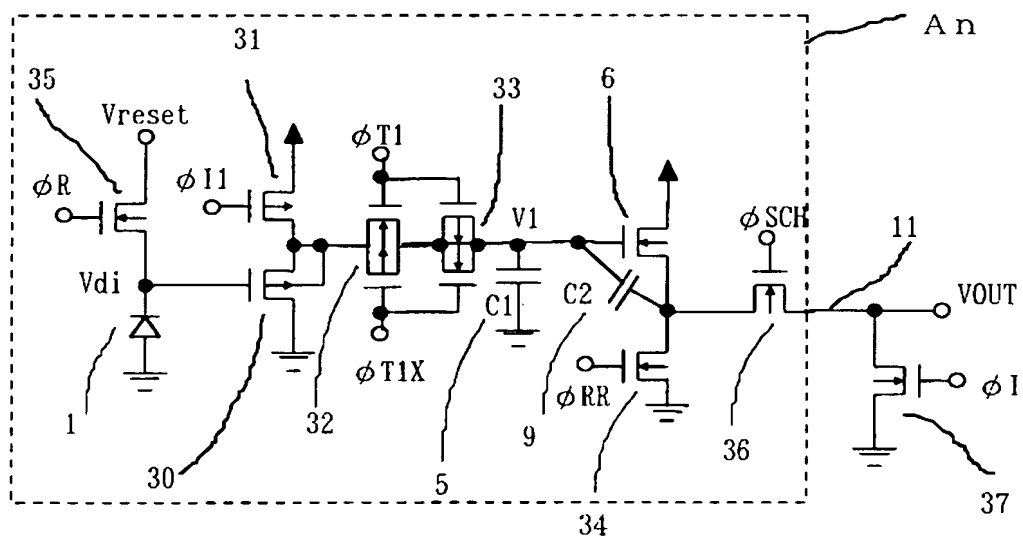
- 11 共通信号線
- 15 第1のアンプ
- 16 第2のアンプ
- 17 第3のアンプ
- 18 第1の転送スイッチ
- 19 第2の転送スイッチ
- 20 第3の転送スイッチ
- 21 第1の容量
- 22 第2の容量
- 23 第3の容量
- 30 MOSソースフォロア
- 31 電流源
- 32 トランسمッションゲート
- 33 ダミースイッチ
- 34 MOS電流源
- 35 MOSスイッチ
- 36 MOSスイッチ
- 37 MOS電流源
- 38、40、42 MOSソースフォロア
- 39、41、43 電流源
- 32 トランسمッションゲート
- 44、45 MOSスイッチ
- 51 第2の電流源
- 101 フォトダイオード
- 102 リセットスイッチ
- 103 ソースフォロアアンプ
- 104 定電流源
- 105 読み出しスイッチ
- 106 共通信号線
- 107 信号線リセットスイッチ
- 108 寄生容量
- 109 オペアンプ
- 110 抵抗
- 111 抵抗
- 112 チップセレクトスイッチ
- 113 容量
- 114 MOSトランジスタ
- 115 容量
- 116 出力端子
- An nビット目の光電変換ブロック
- Bm mチップ目のイメージセンサICブロック
- C クランプ回路
- D 反転増幅器



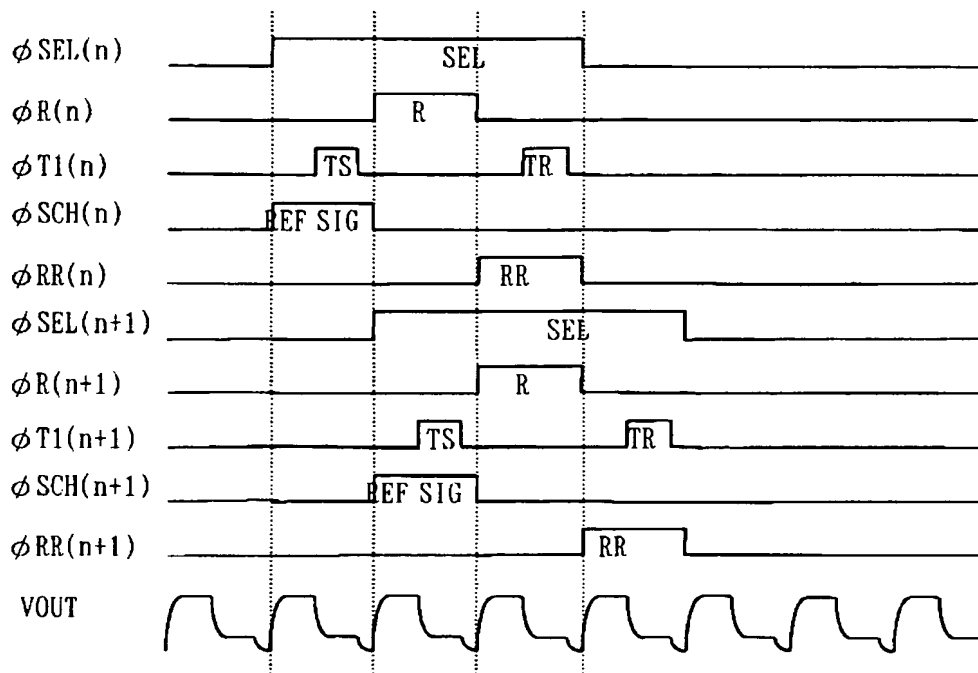
【図 3】



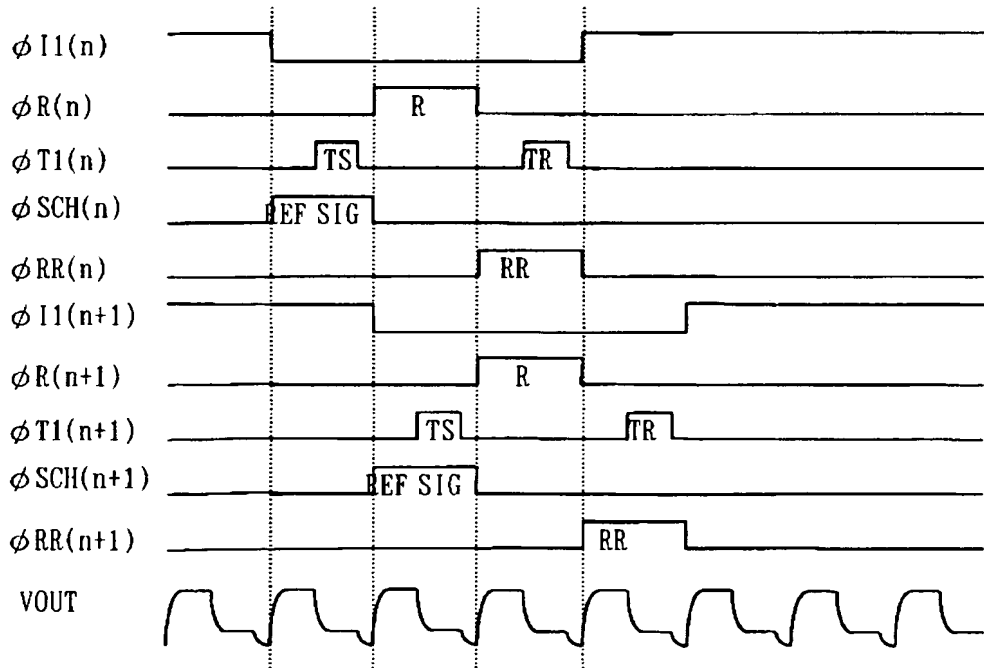
【図 4】



【図 5】

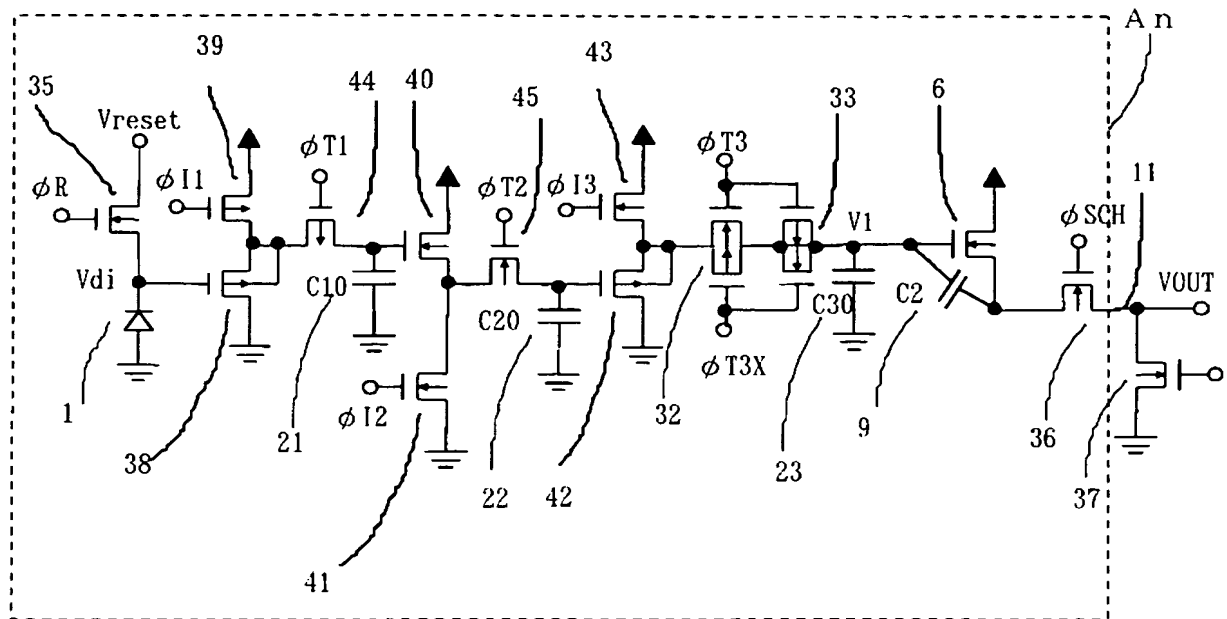


【図 6】

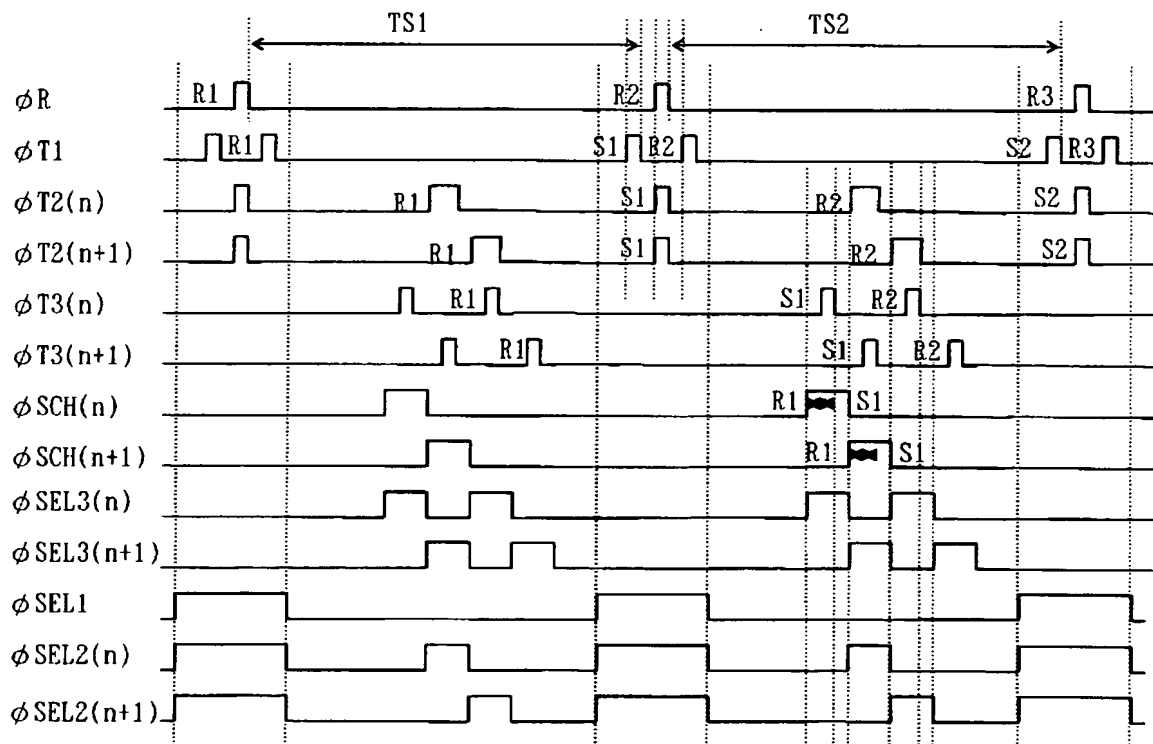




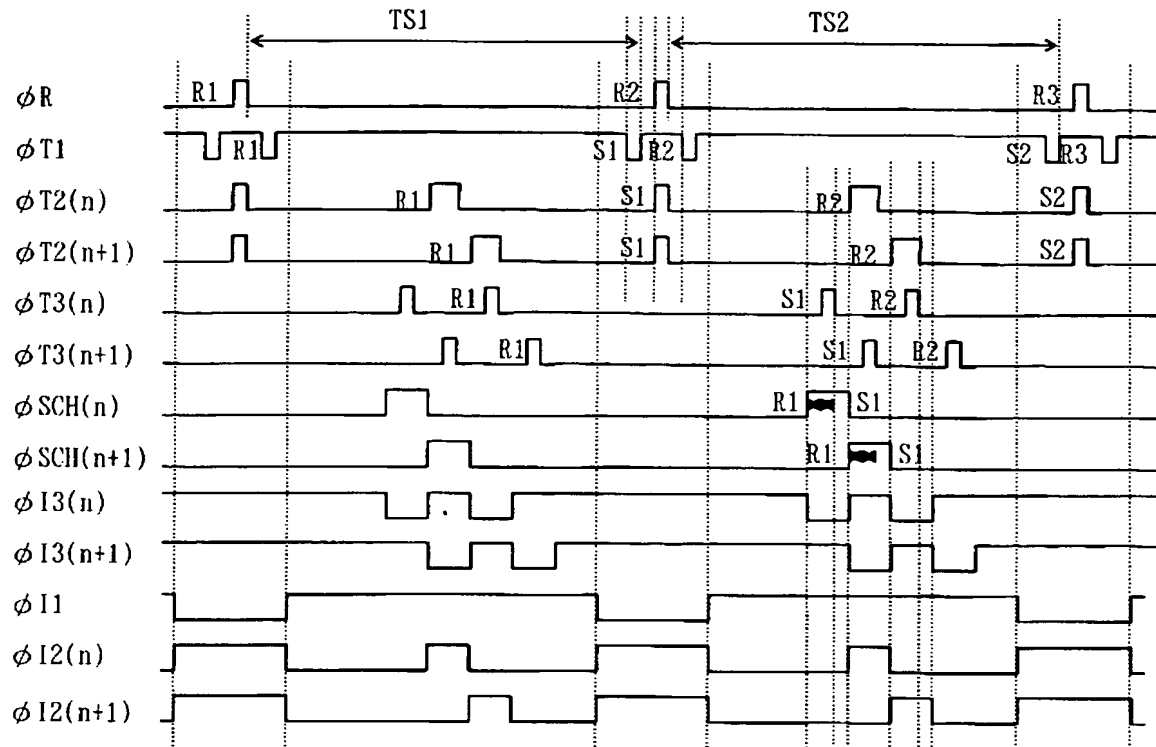
【図 9】



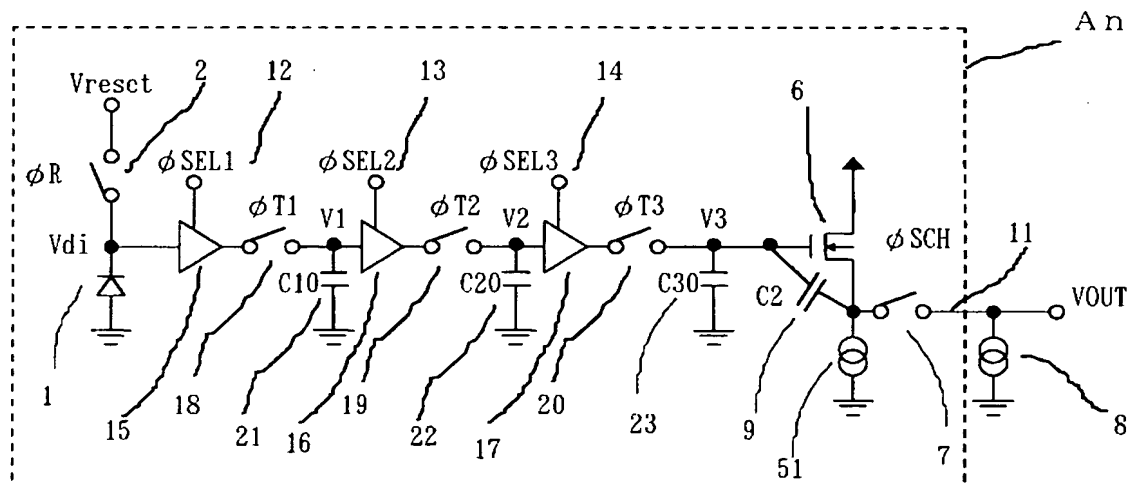
【図 10】



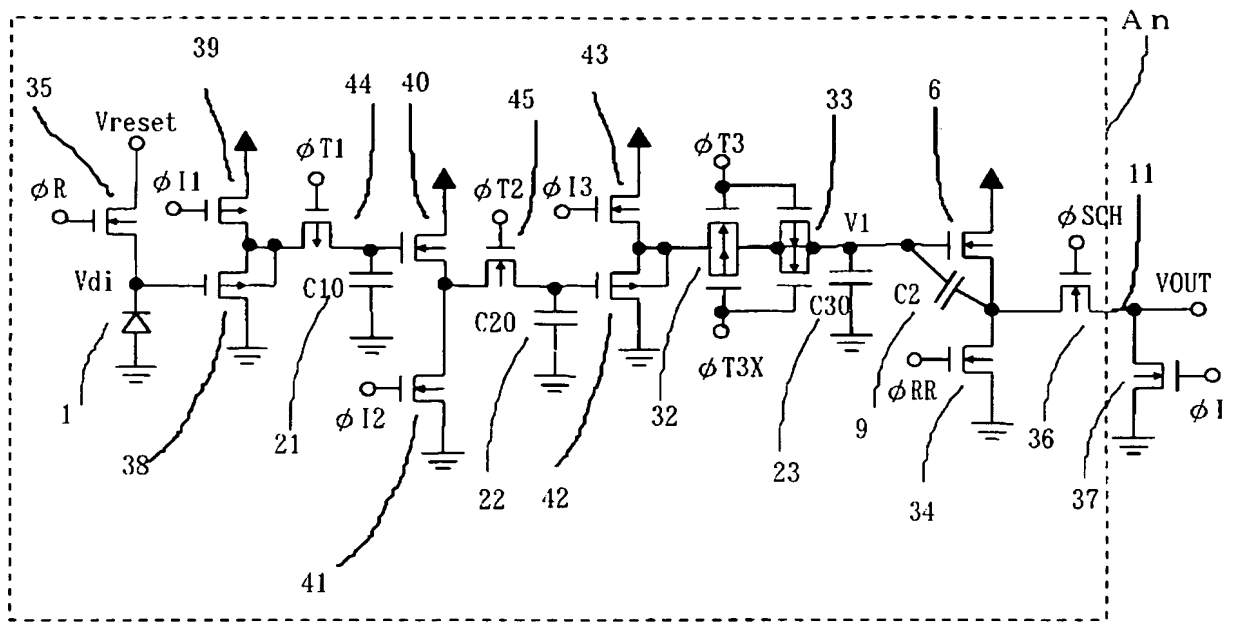
【図 1 1】



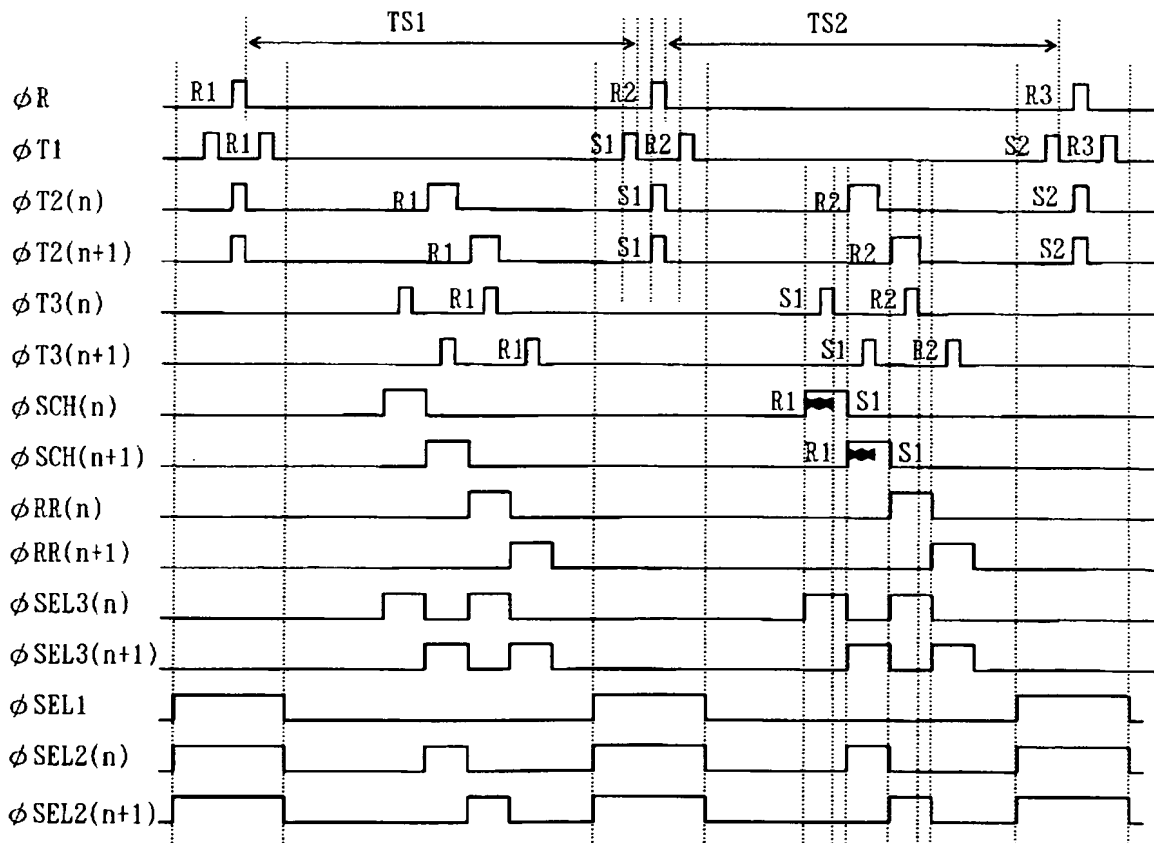
【図 1 2】



【図 1 3】

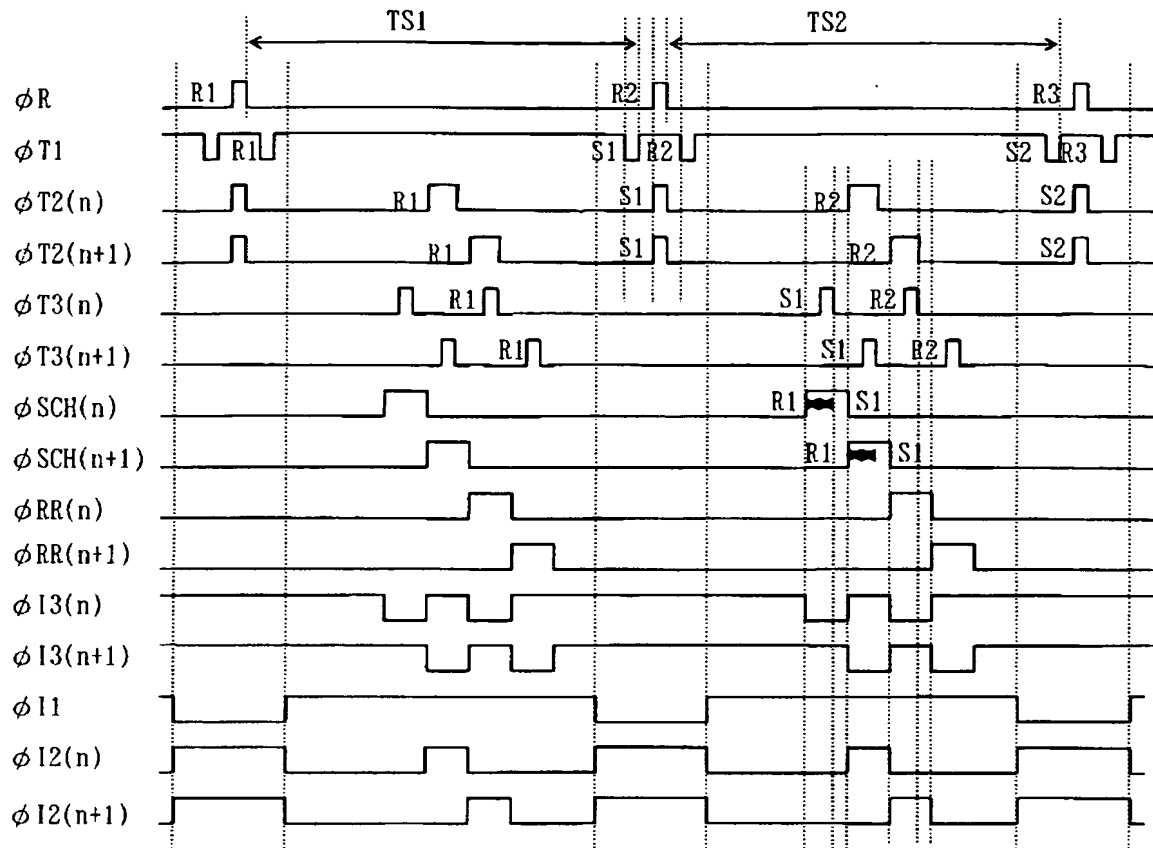


【図 1 4】

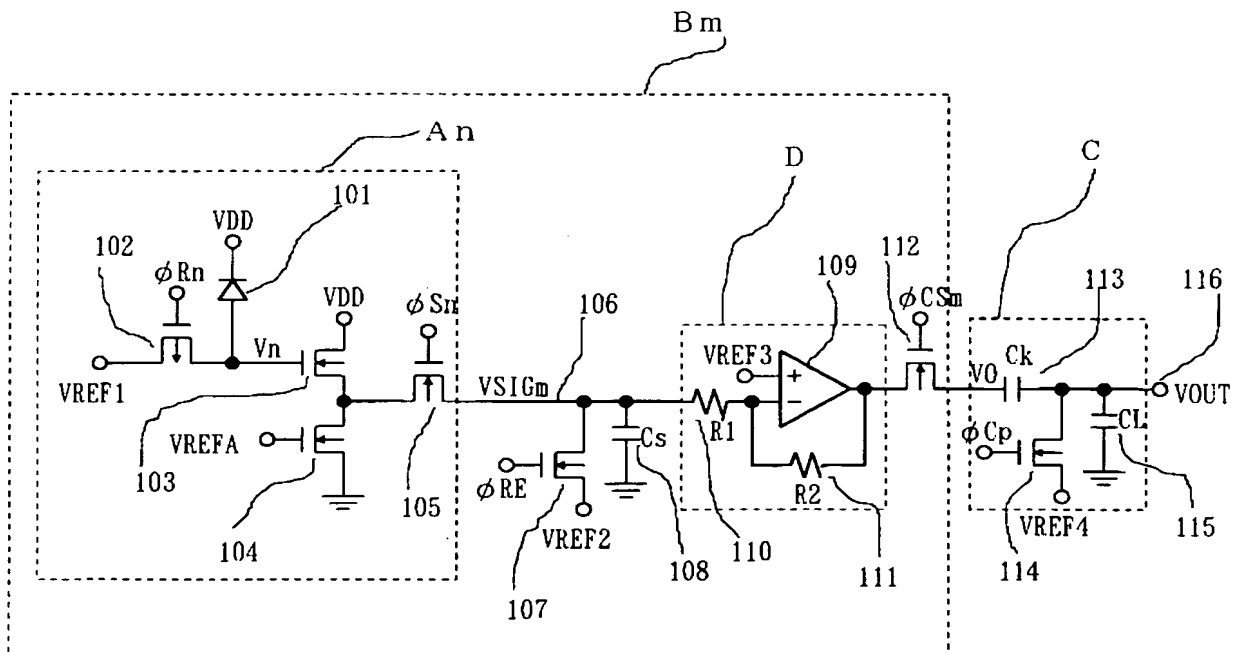




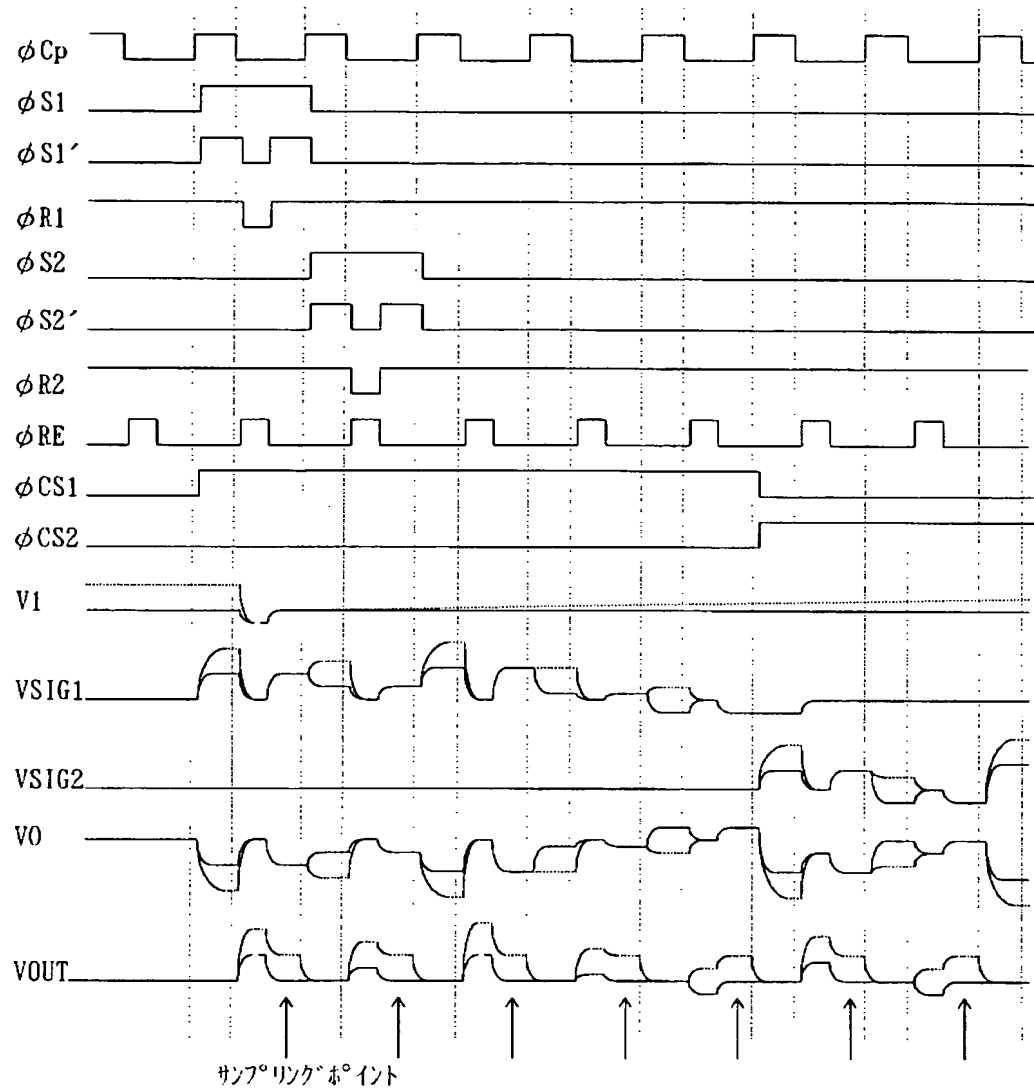
【図 15】



【図 16】



【図 17】



【書類名】 要約書

【要約】

【課題】 ランダムノイズを低減可能な光電変換装置の提供。

【解決手段】 光電変換手段の出力端子が、リセット手段と増幅手段の入力端子に接続され、前記光電変換手段の出力端子をリセットすることにより生じる基準信号を保持する保持手段と、前記基準信号と、前記光電変換手段の光電変換領域に入射した光で発生した電荷の蓄積を行った後に得られる光信号とを共通信号線に読み出す信号読み出し手段と、を有する。

【選択図】 図 1

## 認定・付加情報

特許出願の番号	特願 2004-019667
受付番号	50400139572
書類名	特許願
担当官	第五担当上席 0094
作成日	平成 16 年 2 月 2 日

## &lt; 認定情報・付加情報 &gt;

## 【特許出願人】

【識別番号】	000002325
【住所又は居所】	千葉県千葉市美浜区中瀬 1 丁目 8 番地
【氏名又は名称】	セイコーインスツルメンツ株式会社

## 【代理人】

申請人	
【識別番号】	100096378
【住所又は居所】	千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコー インスツルメンツ株式会社 知的財産部
【氏名又は名称】	坂上 正明

特願 2 0 0 4 - 0 1 9 6 6 7

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 2 5 ]

1. 変更年月日

1 9 9 7 年 7 月 2 3 日

[変更理由]

名称変更

住 所

千葉県千葉市美浜区中瀬 1 丁目 8 番地

氏 名

セイコーインスツルメンツ株式会社